

(1)

(19) Japanese Patent Office (JP)

(12) Official Gazette for Kokai Patent Applications (A)

(11) Japanese Patent Application Kokai Publication No. S56-82961

(51) Int. Cl. ³ Identification Symbol JPO File Number
G 06 F 13/00 7361-5B

(43) Kokai Publication Date July 7, 1981

Number of Inventions: 1

Request for Examination: Not Submitted

(Total of 4 pages in the original Japanese)

(54) Memory control method

(21) Patent Application Filing Number S54-160587

(22) Patent Application Filing Date December 11, 1979

(72) Inventor
Kunihiro Kawamasa
c/o Fujitsu Ltd.
1015 Kamiodanaka
Nakahara-ku, Kawasaki-shi

(71) Applicant
Fujitsu Ltd.

1015 Kamiodanaka
Nakahara-ku, Kawasaki-shi

(74) Sub Attorney/Agent
Patent Attorney Akiyoshi Yamatani

Specification

1. Title of the Invention Memory control method

2. Claims

A memory control method characterized by being endowed with a memory access time holding means in which the access time of the memory is entered, and

an access time entering means that enters the access time of the memory that should access said memory access time holding means, and

a time detection means that detects the passage of the access time held in the above-mentioned memory access time holding means, and

devised so that the memory access of the memory that should access when the memory access time held in the above-mentioned access time holding means has elapsed has ended is confirmed.

3. Detailed Description of the Invention

The present invention concerns a memory control method, particularly, a memory control method that has enabled access even with respect to a plurality of memory with different access times.

Due to great progress in memory manufacturing technology, memory devices have been made into mass storage devices, and although a lowering of costs, to some extent, is being carried out, high speed memory is as expensive as ever. However, on the other hand, the situation has developed so that inexpensive and, moreover, mass storage types of low speed memory can be obtained. And, when controlling data processing equipment, due to its versatility, expandability, easy of correcting design mistakes, and the like, a microprogramming control method that controls with a microprogram has become the main trend for data processing devices, and for this reason there is an increasing tendency for memory to be made mass storage.

However, if viewed from the viewpoint of cost reduction, an increase in memory storage capacity is wanted, but there is a demand not to make everything high-speed, but to constitute one part of high-speed memory devices and one part of low-speed memory devices, for example, to store in high-speed memory devices items that are used frequently such as resident programs. Consequently, in this type of case, accessing a plurality of memory devices of different operation speeds becomes necessary.

However, as interfaces with the memory used up to now there are: (1) as an asynchronous interface there is the method that transfers a read start signal or a write start signal to memory from a memory control circuit, and confirms the end of writing or the end of the extraction of read data, with respect to memory, by means of the fact that a memory end signal has been returned from the memory side, and reads out data, and (2) as a synchronous interface, the method that ends the operation of memory after the number of processor cycles permanently determined in advance, for example, when data is fetched from memory, it is decided, in advance, to read the data from memory after five

"0" detector 9. The arithmetic unit 10 carries out operations based on the data read out from the number one control memory 1 or the number two control memory 2 and the external circuit conditions, and the like, and the value obtained as a result is set in the memory access cycle counter 7, and in this case a value different from the fixed value transferred from the fixed value circuit 11 is entered.

Now, first, when the number one control memory 1 is accessed, address information is entered in the control memory address register 3 from the main database. And then the memory access control signal (MACC) I becomes "1" and the AND circuit 12 attains the ON state, and the fixed value transferred from the fixed value circuit 11 is entered in the memory access cycle counter 7. And since the memory access start signal becomes "1" and the AND circuit 14 attains the ON state, the value of the memory access cycle counter 7 is made -1 [Tr.note: reduced by 1?] by the subtraction counter 8, for every impression of the clock. During this time the decoder 4 set the selection signal CS0 to "1" according to the address information entered in the control memory address register 3, and the data entered in the address designated by the number one control memory 1 is read. And then, when the above-mentioned memory access cycle counter 7 has become "0" due to the above-mentioned subtraction counter 8, the "0" detector 9 detects this, outputs "1" and places the AND circuit 5 in the ON state. In this way the data read from the number one control memory 1 is output to the control memory output register 6 by way of the AND circuit 5. And, based on that address information, the address information of the control memory that should be accessed next is entered in the control memory address register 3, and at the same time various control signals are transmitted to the necessary places. If the address information read by means of this is in the number one control memory 1 again, by means of the method mentioned above, the number one control memory 1 is accessed again.

However, when the address information that is read next is in the number two control memory 2, first, the decoder 4 sets the selection signal CS1 to "1" by means of said address information entered in the control memory address register 3, and the data entered in the address designated by the number two control memory 2 is read. And, the memory access control signal (MACC) II becomes "1" and the AND circuit 18 attains the ON state. At this time, a large numerical value that is different from the fixed value which the arithmetic unit 10 computed and which was generated from the fixed value circuit 11, was generated and set in the memory access cycle counter 7 by way of the AND circuit 18.

When this value has become "0" due to the subtraction counter 8, in the same way, the "0" detector 9 outputs "1". And, the data read from the number two control memory 2 at this time becomes entered in the control memory output register 6. This type of activity can be repeated and a number two control memory 2 with an access time that differs from that of the number one control memory 1 can be accessed when necessary.

Of course, if, in response to the conditions at that time, due to a microcommand an external entered signal EXTW is made "1", the AND circuit 15 attains the ON status, and the constant CSDR given from the microcommand can also be set in the memory access cycle counter 7 from the local store, and the like. And, when the +1 counter is used instead of the subtraction counter 8, and the value of the memory access cycle counter 7,

instead of the "0" detector 9, has become a certain value, the AND circuit 5 can also be configured so as to attain the ON state. And, when changed to one that has an access time that is different from that used up to then as the number one control memory, without fixing the numerical value entered in the fixed value circuit 11, for example, configuring so that it can be set from the service processor 16, and the like, shown by the dotted line, that value can also be set in line with this new one.

As explained above, according to the present invention, even if the access times of the number one control memory and the number two control memory differ, the memory interface does not have a synchronization loss, and is acceptable by simply changing the value set in the memory access cycle counter. For that reason, the control memory that accommodates a microprogram, for example, enters routines with a high frequency of use in a region that uses a high-speed device, and the other routines are entered in a region that uses a low-speed device. And if this low-speed device is made one of mass storage, ultimately, control memory of mass storage can be obtained at a comparatively low cost. And, when all the control memory is constituted of a low-speed device, it can also be used as a high-speed control device by using only one part in a high-speed device.

Furthermore, appropriately changing the execution speed of microcommands and the microprogram quantity of the microprogram control device in response to various uses also becomes simple, if the present invention is used.

That is, there is the objective to want to make the control memory mass storage, and in the kind of case in which the access time of the control memory is acceptable, even when it is somewhat slow, it can be realized without changing the circuit of the control device, even if the access time of the entire control memory is slow and is changed to one of mass storage.

Furthermore, in the above explanation an example used as control memory was explained, but, of course, the present invention is not limited to this only.

4. Brief Description of the Drawings

The attached drawing shows the constitution of one embodiment of the present invention.

In the drawing: 1 indicates the number one control memory; 2 indicates the number 2 control memory; 3 indicates the memory address register; 4 indicates the decoder; 5 indicates the AND circuit; 6 indicates the memory output register; 7 indicates the memory access cycle counter; 8 indicates the subtraction counter; 9 indicates the "0" detector; 10 indicates the arithmetic unit; 11 indicates the fixed value circuit; 12 to 15 indicate AND circuits; 16 indicates the service processor.

[in the drawing]

[line coming from 15] (CSDR) (constant)

[line coming from 14] memory access start

[lower right, from CSDR] control signals

MACCI, MACCII, EXTW, memory access start

①Int. Cl.³
G 06 F 13/00

識別記号

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

厅内整理番号
7361-5B

⑪ 特許出願公開
昭56-82961

⑫ 公開 昭和56年(1981)7月7日

発明の数 1
審査請求 未請求

⑩メモリ制御方式

(全 4 頁)

⑪特 願 昭54-160587
⑫出 願 昭54(1979)12月11日
⑬發明者 川勝匡祐

川崎市中原区上小田中1015番地
富士通株式会社内
⑭出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑮復代理人 弁理士 山谷皓榮

明細書

1. 発明の名称 メモリ制御方式

2. 特許請求の範囲

メモリのアクセスタイムが記入されるメモリアクセスマップ保持手段と、該メモリアクセスマップ保持手段にアクセスすべきメモリのアクセスタイムを記入するアクセスタイム記入手段と、上記メモリアクセスマップ保持手段に保持されたアクセスタイムの超過を検出する時間検出手段を具備し、上記アクセスタイム保持手段に保持されたメモリアクセスマップが超過したときアクセスすべきメモリのメモリアクセスが終了したものと確認するようにしたことを特徴とするメモリ制御方式。

3. 発明の詳細な説明

本発明はメモリ制御方式に適し、特にアクセスタイムの異なる複数のメモリに対してもアクセス可能にしたメモリ制御方式に関するものである。

メモリ製造技術の大進歩によりメモリ電子が大容量化され、ある構成のコスト低下が行なわれているものの、高速度メモリは依然として高価である。しかしながら一方では低速度のメモリは安くかつ大容量のものが得られるようになつてゐる。また、データ処理装置を開発するとき、その構造性、伝送性、設計ミスの修正の容易性等の理由によりマイクロプログラムで制御するマイクロプログラミング制御方式がデータ処理装置の主流となつており、このためメモリがますます大容量化する傾向にある。

しかし、コストの競争という観点からみれば、メモリの記憶容量は大きくしたいが、すべてを高速度するのではなく、一部を高速電子で構成し、他を低速メモリ電子で構成し、例えば常駐プログラムのように使用頻度の高いものは高速メモリ電子に格納するという要求があり。したがつてこのような場合には動作速度の異なる複数のメモリ電子にアクセスすることが必要となる。

しかしながら従来実用されているメモリに対する

が変るとメモリ制御回路までが大幅に変更しなければならないという欠点がある。

したがつて本発明はこのような問題点を改善するとともに、アクセスタイムの異なるメモリにもアクセス可能とするメモリ制御方式を提供するものである。このために本発明によるメモリ制御方式では、
メモリアクセス時間の異なるメモリのアクセス時間の差異を考慮して、メモリアクセス時間の異なるメモリのアクセスタイムが記入されるメモリアクセスタイム保持手段と、該メモリアクセスタイム保持手段にアクセスすべきメモリのアクセスタイムを記入するアクセスタイム記入手段と、上記メモリアクセスタイム保持手段に保持されたアクセスタイムの超過を検出する時間検出手段を具備し、上記アクセスタイム保持手段に保持されたメモリアクセスタイムが超過したときアクセスすべきメモリのメモリアクセスが終了したものと認識するようにしてことを特徴とする。

以下本発明の一実施例を図付説明にもとづき説明する。

図は本発明の一実施例構成を示すものであつて、図中、1は第1制御メモリ、2は第2制御メモリ、3は制御メモリアドレスレジスター、4はデコード、5はクロック、5'はオアシス路、6は制御メモリ出力レジスター、7はメモリアクセスサイタルカウント、8は演算カウンタ、9は「0」検出器、10は演算装置、11は固定値回路、12乃至15はアンド回路をそれぞれ示す。

第1制御メモリ1は、高速度でアクセスできるメモリであつて、使用頻度の高いマイクロプログラムが記入されている。第2制御メモリ2は、第1制御メモリ1よりは低速度のメモリであるが、しかし大容量のメモリであつて、第1制御メモリ1に記入されたもの以外のマイクロプログラムが記入されている。制御メモリアドレスレジスター3は第1制御メモリ1または第2制御メモリ2のアドレス情報を記入される。このアドレス情報にはアドレスセレクト情報が含まれており、これをデコーダ4により解説し、その結果発信される選択信号CS0またはCS1により、上記第1制御メモ

リ1または第2制御メモリ2のいずれか一方が選択される。

メモリアクセスサイタルカウント7は、固定値回路11から伝達された一定値が記入されている。この一定値は、第1制御メモリ1のアクセスタイムに等しいクロック数が記入される。例えば第1制御メモリ1のアクセスタイムが100nであるクロックの周期が30nの場合には「5」が記入される。演算カウンタ8はクロックに応じてメモリアクセスサイタルカウント7に記入された数を減らすものであつて、例えば該メモリアクセスカウント7に「5」が記入されているとき、5クロック後には「0」が記入されることになる。そしてこの「0」が「0」検出器9により検出される。演算装置10は、第1制御メモリ1または第2制御メモリ2から取出したデータと外部回路条件等により演算を行ない、その結果得られた結果をメモリアクセスカウント7にセットするものであり、この場合には固定値回路11から伝達された一定値とは別の値が記入される。

いま、初め第1制御メモリ1をアクセスする場合には、メイン・データ・バスから制御メモリアドレスレジスタ8にアドレス情報が記入される。そしてメモリアクセス制御信号(MA00)Ⅱが「1」となりアンド回路11がオン状態となり、固定値回路11から送出された一定値がメモリアクセスカウンタ8に入力される。そしてメモリアクセススタート信号が「1」となりアンド回路16がオン状態となるので、メモリアクセスサイタルカウンタ9の値はクロックの印加端に積算カウンタ8により一増される。この間に制御メモリアドレスレジスタ8に記入されたアドレス情報によりデコード10が選択信号O81を「1」とし、第1制御メモリ1の指定されたアドレスに記入されたデータが取出される。そして上記積算カウンタ8により上記メモリアクセスサイタルカウンタ9が「0」になつたとき、これを「0」検出器9が検出して「1」を出力し、アンド回路5をオン状態にする。かくして第1制御メモリ1から取出されたデータがアンド回路5を経由して制御メモリ出

力レジスタ6に出力される。そしてそのアドレス情報にもとづき次にアクセスすべき制御メモリのアドレス情報が制御メモリアドレスレジスタ8に記入され、また同時に各種制御信号が必要とするところに伝達される。これにより取出されたアドレス情報が再び第1制御メモリ1に対するものであれば、上記したような方式により、第1制御メモリ1が再びアクセスされる。

しかしながら次に取出したアドレス情報が第2制御メモリ2に対する場合には、まず、制御メモリアドレスレジスタ8に記入された該アドレス情報によりデコード10が選択信号O81を「1」とし、該2制御メモリ2の指定されたアドレスに記入されたデータが取出される。そしてメモリアクセス制御信号(MA00)Ⅱが「1」となりアンド回路18がオン状態となる。このとき、積算装置10が積算した、固定値回路11から発生される一定値とは別の大きな数値が発生され、アンド回路18を経由してメモリアクセスサイタルカウンタ8にセットされる。この値が、同様にして積

算カウンタ8により「0」になつたとき「0」検出器9は「1」を出力する。そしてこのときに第2制御メモリ2から取出されたデータが制御メモリ出力レジスタ6に記入されることになる。このようなことが繰返され、第1制御メモリ1とはアクセスタイムの異なる第2制御メモリ2を必要に応じてアクセスすることができる。

勿論、そのときの条件に応じて、マイクロ命令による外部記入信号EXTWを「1」にすれば、アンド回路15がオン状態となり、マイクロ命令から与えられる定数O8DRセローカルストップによりメモリアクセスサイタルカウンタ7Kセフトすることもできる。また積算カウンタ8の代りに+1カウンタを使用し、「0」検出器9の代りにメモリアクセスサイタルカウンタ7の値がある値になつたときに、アンド回路5をオンにするように構成することもできる。また、固定値回路11に記入された数値を固定化せずに、例えば点線で示すサービスプロセッサ16等より設定できるように構成し、第1制御メモリとしてそれまで使用して

いたものとは異なるアクセスタイムを有するものに改善したような場合、この新しいものにあわせてその値を設定することも可能である。

以上説明した如く、本発明によれば、第1制御メモリと第2制御メモリのアクセスタイムが異なる場合でも、メモリインターフェイスは同期損失がなく、メモリアクセスサイタルカウンタにセットする値を変えるのみでよい。それ故、例えばマイクロプログラムを収容する制御メモリを、使用頻度の高いルーチンを高速の素子を使用した領域に記入し、それ以外のルーチンは低速の素子を使用した領域に記入する。そしてこの低速の素子を大容量のものとすれば、高周大容量の制御メモリを比較的低成本で得ることができる。また、制御メモリを全て低速素子で構成している場合に、一部のものを高速素子に使用することにより、高速の制御装置として使用することもできる。

更に、マイクロプログラム制御装置を各種用途に応じて、マイクロ命令の実行速度、マイクロプログラム量を適当に変えることも不発明を使用す

れば両牛になる。

ખાનગ 56- 82961(4)

すなわち、コントロールメモリを大容量にした
い目的があり、コントロールメモリのアクセスタ
イムは多少遅くてもよい様な場合には、コントロ
ールメモリ全体をアクセスタイムが遅く、かつ大
容量のものに変えて、割り振率の回路を変更す
ることなく実現できる。

なお、以上の説明では前記メモリとして使用した例について説明したが、勿論本発明はこれのみに限定されるものではない。

4. 始めの簡単な説明

添付図面は本発明の実施例を示す。

図中、1は第1制御メモリ、2は第2制御メモリ、3は制御メモリアドレスレジスタ、4はデコード、5はアンド回路、6は制御メモリ出力レジスタ、7はメモリアクセスタイルカウンタ、8は誤算カウンタ、9は「0」検出器、10は復算装置、11は偏置式回路、12乃至16はアンド回路、16はアービスプロセッサをそれぞれ示す。

